

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-339769
(43)Date of publication of application : 22.12.1998

(51)Int.Cl. G01R 31/319
G01R 31/28

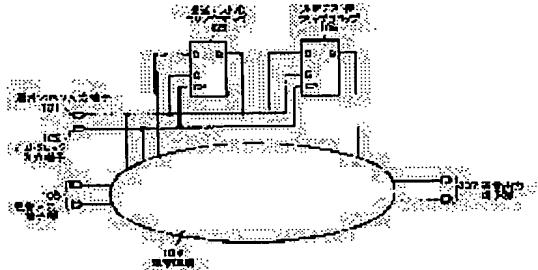
(21)Application number : 09-151261 (71)Applicant : NEC CORP
(22)Date of filing : 09.06.1997 (72)Inventor : YAMAUCHI TAKASHI

(54) DELAY TESTING METHOD AND FLIP FLOP USED FOR IT

(57)Abstract:

PROBLEM TO BE SOLVED: To perform the high-speed delay test of an LSI with a tester having a low operating frequency without changing the normal circuit design method by using an FF that results in single-phase operation on normal operation and bi-phase operation on testing and reducing the difference between the output timing of a clock and the input edge timing.

SOLUTION: In a single-phase operation for synchronizing input and output timings to the same clock edge on normal operation, an FF for performing bi-phase operation where input and output timings are synchronized to each different clock edge on testing is used for testing the delay between FFs. The design system of a normal circuit is as conventional, no other overhead is accompanied since only the FF configuration is changed, the difference between the timing of the edge of a block used for synchronizing output and the timing of the edge used for synchronizing input is used, and the difference between the output and input edges of the clock is reduced to judge the result of the delay test, thus achieving a delay test speedily without increasing the clock frequency of a tester.



LEGAL STATUS

[Date of request for examination] 09.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2953435

[Date of registration] 16.07.1999

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-339769

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.⁶
G 0 1 R 31/319
31/28

識別記号

F I
G O 1 R 31/28

R
G

審査請求 有 請求項の数 5 O.L. (全 13 頁)

(21) 出願番号 特願平9-151261

(22)出願日 平成9年(1997)6月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山内 尚
東京都港区芝五丁目7番1号 日本電気株
式会社内

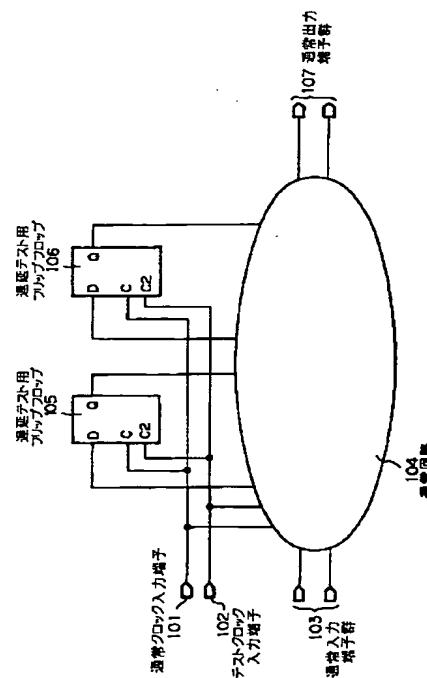
(74)代理人弁理士若林忠

(54) 【発明の名称】 遅延テスト方法および該遅延テスト方法に使用するフリップフロップ

(57) 【要約】

【課題】 通常回路の設計法を変更することなく、動作周波数の低いテスターで、高速なLSIの遅延テストを行う。

【解決手段】 クロック入力CとC2を有するフリップフロップ105と106を使用し、通常動作時に、クロック入力C2のクロックを停止させ、クロック入力Cのクロックの1つのエッジに同期させて入出力する動作とし、遅延テスト時には、両クロックを動作させ、入力と出力のエッジの別々のクロックに同期させる。



1

【特許請求の範囲】

【請求項1】複数のクロック入力をもち、該複数クロック入力のうち1つのクロック入力以外に固定値を設定することにより、通常動作時に固定値を設定されていない1本のクロックの1つのクロックエッジに入力と出力のタイミングが同期する1相動作をし、テスト時に複数のクロック入力を動作させ入力と出力のタイミングが別々のクロックエッジに同期する2相動作となるフリップフロップを使用し、出力の同期に使用するクロックのエッジのタイミングと入力の同期に使用するクロックのエッジのタイミングの差を使用して前記フリップフロップ間の遅延テストを行う遅延テスト方法。

【請求項2】請求項1に記載の遅延テスト方法に使用されるフリップフロップであって、内部に複数あるいは1つのマスター側ラッチとスレーブ側ラッチを有し、マスター側ラッチのうち少なくとも1つのラッチは2つのクロック入力をもち、フリップフロップの入力タイミングを示すクロックエッジの変化後のクロック値にあたる値を、前記マスターラッチの該2つのクロック入力のうちいずれか少なくとも1つのクロック入力に与えることによりホールド状態となる構成をとり、スレーブ側ラッチは該2つのクロック入力のうち1つのみを使用し、フリップフロップの入力タイミングを示すクロックエッジの変化後のクロック値にあたる値を与えることによりスルーモードとなる構成をとるフリップフロップ。

【請求項3】セット入力とリセット入力を有する、請求項2記載のフリップフロップ。

【請求項4】スキャンフリップフロップである、請求項2記載のフリップフロップ。

【請求項5】外部クロック入力端子が1本であり、該外部クロック入力端子から入力されたクロックをもとにテスト用クロックを生成するクロック生成手段を有する、請求項2記載のフリップフロップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLSIのテスト方法に関し、特に遅延テスト方法に関する。

【0002】

【従来の技術】従来、一般にLSIの遅延テストは、高い周波数のクロックが発生可能なテスターを使用して行われてきた。この場合、非常に高性能なテスターでなければ遅延テストが行えない、あるいは、最先端の高速LSIの場合、テスターの動作周波数を越え、実施不可能となる場合があるという問題があった。

【0003】最近では、動作周波数の低いテスターで遅延テストを行う方法もいくつか提案されている。International Test Conference 1995 の302ページから310ページに掲載のHigh-Performance Circuit Testing with Slow-Speed Testersにおいて種々の方法が述べられているが、いずれも、回路のオーバヘッドが大きい

10

20

30

40

50

2

か、従来の回路設計方式を大幅に変更する必要がある。

【0004】まず、当該論文における1つの手法は、図14に示すように、フリップフロップ502と506の間に遅延制御可能な素子504を入れ、フリップフロップ502、506に供給されるクロック501とは別のタイミング信号503によってフリップフロップ502の出力が被テスト回路505に入るタイミングを遅らせ、被テスト回路505に入力される信号の変化タイミングとフリップフロップ506にクロックが入るタイミングの差をクロック周期より短くすることにより、被テスト回路505の変化の許容範囲を縮めることにより、高いクロック周波数での試験を見かけ上実現している。その制御タイミングは、図16に示すような形となる。クロック501の周期はt72とt74の時間差Tであるが、制御信号503のタイミングを使用し、t71からt73の時間差に当たる遅延をかけることにより、被テスト回路505に許される変化に要する時間も、t73とt74の時間差に縮めている。しかしながら、遅延素子503には図15に示すようなラッチが使用され、これはテストを行うためのオーバーヘッドとしては大きいものとなるという問題がある。

【0005】また、当該論文では、フリップフロップとして、図17に示すようなパルストリガーのフリップフロップを使用する方法も提案されているが、この手法では、図18に示すように、通常動作時のクロック601として、図17のマスター側ラッチからスレーブ側ラッチにデータが送られる期間を非常に短くする必要があり、t81とt82の差が非常に小さいパルスで制御する必要があり、テスト時ではなく通常動作時に動作する回路設計法自体やクロック生成法を変更する必要が生じるという問題がある。

【0006】また、当該論文では、図19に示すように、マスター側ラッチMのクロックMCKとスレーブ側ラッチSのクロックSCKを完全に独立させる方法も提案されているが、この手法も通常回路の設計法を変更する必要があるという問題がある。また、同様に、図20のように、マスター側ラッチとスレーブ側ラッチを交互に配置するという手法も示されているが、この手法も通常回路の設計法の変更を必要とするという問題がある。また図20の回路においては、ラッチ間の入出力関係が入り乱れた複雑な場合には、交互に配置することが不可能となるという問題点もある。

【0007】また、特開平6-347520では、図21に示すように、2つのフリップフロップ、例えば804と805を使用して、記憶用のブロック803とし、見かけ上1つのフリップフロップ動作をさせる手法も提案されている。本手法では、マスター側フリップフロップをゲートドクロック構成とし、遅延テストを行う場合は、前段側ブロック803と後段側ブロック816に初期値をセットし、その後、後段側ブロックのみのクロック

クをイネーブルにし、後段側クロック827のみを動作させ遅延テストを行う手法が示されている。しかしながら、当該手法では前段側ブロック803のクロック814と後段側ブロック816のクロック827を異なる制御が可能な形にするか、前段側マスター側フリップフロップのゲート信号813と後段側マスター側フリップフロップのゲート信号826を異なる制御が可能な形とする必要がある。つまり、テストするフリップフロップ間のクロックあるいはイネーブル信号を、別々の外部端子から制御するか、ANDゲートやORゲートを使用し片方のクロックあるいはイネーブル信号を入れる入力とし、他方を外部端子に接続するか、デコーダーに接続する等、別々の制御をするために、外部端子の増加を伴うか、内部素子数の増加を伴う等の問題があった。

【0008】

【発明が解決しようとする課題】上述した従来の遅延テスト方法は、高速なテスターを必要とするか、あるいは、必要としない場合においては、遅延テストのために、素子あるいは面積の大きなオーバーヘッドを伴うか、通常回路の設計方式まで変更しなければならないかのいずれかの欠点を有していた。

【0009】本発明の目的は、通常回路の設計法を変更することなく、動作周波数の低いテスターでLSIの高速な遅延テストを行う遅延テスト方法および該遅延テスト方法に使用するフリップフロップを提供することにある。

【0010】

【課題を解決するための手段】本発明の遅延テスト方法は、複数のクロック入力をもち、該複数クロック入力のうち1つのクロック入力に固定値を設定することにより、通常動作時に固定値を設定されていない1本のクロックの1つのクロックエッジに入力と出力のタイミングが同期する1相動作をし、テスト時に複数のクロック入力を動作させ入力と出力のタイミングが別々のクロックエッジに同期する2相動作となるフリップフロップを使用し、出力の同期に使用するクロックのエッジのタイミングと入力の同期に使用するクロックのエッジのタイミングの差を使用して前記フリップフロップ間の遅延テストを行う。

【0011】本発明の遅延テスト方法は、通常動作時が入力と出力のタイミングを同一のクロックエッジに同期させる1相動作で、テスト時が入力と出力のタイミングを別々のクロックエッジに同期させる2相動作となるフリップフロップを使用して、フリップフロップ間の遅延のテストを行う方法とし、通常回路の設計方法を従来通りとし、かつフリップフロップの構成の変更のみであるため、他のオーバーヘッドを伴わず、出力の同期に使用するクロックのエッジのタイミングと入力同期に使用するエッジのタイミングの差を使用して、遅延テストの結果を判定するため、クロックの出力と入力のエッジのタ

イミングの差を小さくすることにより、テスターのクロック周波数を上げることなく、高速な遅延テストが可能になる。

【0012】本発明の遅延テスト方法に使用されるフリップフロップは、内部に複数あるいは1つのマスター側ラッチとスレーブ側ラッチを有し、マスター側ラッチのうち少なくとも1つのラッチは2つのクロック入力をもち、フリップフロップの入力タイミングを示すクロックエッジの変化後のクロック値にあたる値を、前記マスター側ラッチの該2つのクロック入力のうちいずれか少なくとも1つのクロック入力に与えることによりホールド状態となる構成をとり、スレーブ側ラッチは該2つのクロック入力のうち1つのみを使用し、フリップフロップの入力タイミングを示すクロックエッジの変化後のクロック値にあたる値を与えることによりスルーモードとなる構成をとる。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0014】図1は本発明の第1の実施形態の構成図である。101は通常動作時に使用する外部クロック端子、102はテスト動作時に外部クロック端子101とともに使用するテスト用外部クロック端子、105と106は遅延テストを行うフリップフロップのペアであり、104はフリップフロップ105と106以外の内部回路（通常回路）であり、遅延テストの対象となる部分を含んでいる。103は通常回路104の入力端子の群であり、107は通常回路104の出力端子の群である。

【0015】図2は、図1で使用される遅延テスト用フリップフロップ105、106の構成例を示したものである。左端と右端に書かれた信号名D、C、C2、Qは図1のフリップフロップ105、106に表記された端子名に対応する。Dはデータ入力、Cは通常クロック入力、C2はテスト用クロック入力、Qは出力である。

【0016】フリップフロップ105、106はマスターラッチ108とスレーブラッチ109で構成されている。ここでは、CMOSの構成例で例を示している。マスターラッチ108はトランジスタペア110、112とインバータ111、113、115とNORゲート114で構成され、スレーブラッチ109はトランジスタペア116、118とインバータ117、119、120、121で構成されている。トランジスタペア110、112、116、118の上半分がPチャネルMOSトランジスタ、下半分がNチャネルMOSトランジスタを示している。そのゲート入力にどの信号が接続されるかは、ゲート部分に対応した部分に信号名で示している。このゲート信号はNORゲート114、インバータ115、120、121の出力のいずれかであり、それぞれMCB、MC、CB、Cとして表記している。トランジ

ンジスタペア110を例に接続を説明すれば、Pチャネル側のゲートにはM C、つまりインバータ115の出力が接続され、Nチャネル側のゲートにはM C B、つまりNORゲート114の出力が接続される。

【0017】このフリップフロップ105、106は、入力C2に論理値0を設定すると入力Cのみでフリップフロップ動作を行う構成になっている。この例では、論理値0から1に変化するタイミングでデータの入力が行われ、同時に出力が変化し、値が保持される。入力C2を変化させる場合は、入力C2と入力Cの両方が論理値0の状態からどちらか少なくとも一方に論理値1が入るタイミングで値が入力され、マスタラッチ108に値がホールドされ、入力Cが論理値1に変化するタイミングでスレーブラッチ109を介して値が出力される。

【0018】図3(1)は、通常時の制御波形図である。図の左端の101と102は、それぞれ図1の端子101と端子102の波形を表すことを示している。この表記法は図3(2)においても同様である。時刻t₁₁とt₁₃は端子101の論理値0から1への変化タイミング、時刻t₁₂とt₁₄は端子101の論理値1から0への変化タイミングを示している。通常時は端子102を論理値0に保つことにより、1相同期のフリップフロップとして動作させるため、従来から設計法として1相同期を使用している場合には、回路の設計方を変更する必要はない。

【0019】図3(2)は遅延テスト時の制御波形図である。t₂₁とt₂₄は端子102の論理値0から1への変化のタイミング、t₂₂とt₂₅は端子101の論理値0から1への変化のタイミング、t₂₃とt₂₆は端子101と102が同時に論理値1から0へと変化するタイミングである。ここでは、t₂₃とt₂₆で同時に端子101と102が論理値1から0へ変化するとしているが、必ずしも、同時に変化する必要はない。この場合、t₂₁とt₂₄のタイミングでフリップフロップ105、106にデータが入力され、t₂₂とt₂₅のタイミングで出力される。よって、t₂₂のタイミングで出力されたデータをt₂₄のタイミングで入力可能か否かを判定することによって遅延テストを行うことが可能となる。つまり、従来では、t₂₁とt₂₄の時間差、つまりテスターの出力クロックの周波数に応じた遅延テストのみが可能であったが、ここではt₂₂とt₂₄の時間差を使用した遅延テストが可能となる。つまり、周波数を縮めることなく、t₂₂とt₂₄のタイミングの差を縮めることにより遅延テストが可能となる。

【0020】つまり、回路全体が、所定のクロック周波数で動作するか否かのテストは、t₂₂とt₂₄の時間差をLSIの実動作周波数の周期となるように設定してテストパターンを入力し、所定の出力が得られるか否かを検査することで実行可能である。さらに、特定バスの遅延テストを行う場合、例えば、フリップフロップ105と1

06の間のバスの遅延テストを行う場合で、フリップフロップ105と106間はインバータと等価になる論理構成となっているとした場合、t₂₁のタイミングでフリップフロップ106に論理値0を入力するように設定し、フリップフロップ105に論理値0を入力するように設定する。t₂₂とt₂₄のタイミングの差がフリップフロップ105と106間の許容バス遅延となるようにt₂₂の変化タイミングを設定し、フリップフロップ105から値を出力させ、t₂₄のタイミングでフリップフロップ106に値を取り込む。そのときにフリップフロップ106の値が論理値0から1に変化しているか否かを、その後、その値を出力端子に伝播させることにより判定可能である。特定のバスの遅延テストを行う場合は、特定のバスを活性化している以外のタイミングでは、フリップフロップの出力と入力のタイミングの差やクロックの周期を短くする必要はない。

【0021】この方法でも、フリップフロップのオーバーヘッドは伴うが、CMOS構成の場合を仮定しても、通常構成に対して増加するのは、図2の例ではNORゲート114とインバータ115のみであり非常に小さい。

【0022】図4はフリップフロップ108、109の第2の構成例で、第1の構成例の入力および出力のタイミングのエッジを反転させた構成例で、図2のフリップフロップ108のNORゲート114の代りにNANDゲート122が用いられた構成例である。

【0023】図5(1)は通常時の制御波形図である。図の左端の101と102は、それぞれ、図1の端子101と端子102の波形を表していることを示している。この表記方法は図5(2)においても同様である。t₃₁とt₃₃は端子101の論理値1から0への変化タイミング、t₃₂とt₃₄は端子101の論理値0から1への変化タイミングを示している。通常時は、端子102を論理値1に保つことにより、1相同期のフリップフロップとして動作させる。

【0024】図5(2)は遅延テスト時の制御波形図である。t₄₁とt₄₄は端子102の論理値1から0への変化のタイミング、t₄₂とt₄₅は端子101の論理値1から0への変化のタイミング、t₄₃とt₄₆は端子101と102が同時に論理値0から1へと変化するタイミングである。ここでは、t₄₃とt₄₆で同時に端子101と102が論理値0から1へ変化するとしているが、必ずしも、同時に変化する必要はない。この場合、t₄₁とt₄₄のタイミングでフリップフロップ105、106にデータが入力され、t₄₂とt₄₅のタイミングで出力される。よって、ここではt₄₂とt₄₄の時間差を使用した遅延テストが可能となる。

【0025】図6はフリップフロップの第3の構成例を示す図である。第3の構成例のフリップフロップ105、106は第1の構成例のフリップフロップ(図2)

にセット入力Sとりセット入力Rを追加したもので、それに伴いインバータ111, 113, 117, 119の代わりにNORゲート123, 124, 125, 126が設けられている。

【0026】この例では、セットもリセットも論理値1でイネーブルになる構成となっている。このように、セットやリセット信号の追加は通常のフリップフロップと同様に行なうことが可能である。

【0027】図7は本発明の第2の実施形態の回路構成図である。

【0028】本実施形態はスキャンバスを使用した場合の例である。207と208はスキャンバスフリップフロップである。201は通常クロック端子、202はテスト用クロック端子、203はシフトモードと通常モードの切り替え信号用端子、204はスキャン入力端子、209はスキャン出力端子、205は通常の入力端子群、210は通常の出力端子群であり、206は通常回路である。ここでは、通常回路206の中にスキャンバスフリップフロップ207と208以外のスキャンバスフリップフロップも含んでいる。

【0029】図8はスキャンバスフリップフロップ207と208の構成例を示す図であり、図8の右端と左端に示す信号名D, S IN, SMC, C, C2, Q, SOTは、図7中のスキャンバスフリップフロップ207, 208に表記された信号に対応しており、それぞれ、データ入力、スキャンデータ入力、シフトモード信号入力、通常クロック入力、テストクロック入力、データ出力、スキャンデータ出力を表している。ここでは、データ出力とスキャンデータ出力を分けているが、共用しても問題はない。また、図7において、スキャンバスフリップフロップ207のスキャンデータ出力とスキャンバスフリップフロップ208のスキャンデータ入力が接続されているが、スキャンバスのシフトモード時の接続順はどのようになっても問題はない。

【0030】スキャンバスフリップフロップ207, 208はセレクタ211とマスタラッチ212とスレーブラッチ213で構成されている。

【0031】セレクタ211は、セレクタ211に表記された記号Sの入力が0のとき記号0の入力が選択され、記号Sの入力が1のとき記号1の入力が選択される。つまりこの例では、SMCの値が0のとき通常回路206のデータが選択入力され、SMCの値が1のとき、スキャンインデータ、つまりシフトデータが選択入力される。マスタラッチ212はトランジスタペア214, 216とインバータ215, 217, 219とNORゲート218で構成され、スレーブラッチ213はトランジスタペア220, 222とインバータ221, 223, 224, 225で構成されている。

【0032】スキャンバス構成とした場合、テストすべき経路に値を設定し、テスト結果を観測することが容易

となるが、遅延テスト方法としては同様であり、端子201が論理値0から1に変化するタイミングと端子202が論理値0から1に変化するタイミングの差を利用してテストを行う。.

【0033】図9はスキャンバスを使用した本発明の第3の実施形態の構成図である。307と308はスキャンバスフリップフロップである。ここで使用しているスキャンバス方式はクロックドスキャン方式であり、通常データ入力とスキャンデータ入力の選択にセレクト信号

10を使用するのではなく、クロックを使用した方式である。301は通常クロック端子、302はテスト用クロック端子、303はスキャンバスをシフトさせるためのクロック端子、304はスキャン入力端子、309はスキャン出力端子、305は通常の入力端子群、310は通常の出力端子群であり、306は通常回路である。ここでは通常回路の306の中にスキャンバスフリップフロップ307, 308以外のスキャンバスフリップフロップも含んでいる。

【0034】図10はスキャンバスフリップフロップ307, 308の構成例を示す図である。図10の右端と左端に示す信号名D, S IN, C, C2, SC, Q, SOTは、図9中のスキャンバスフリップフロップ307, 308に表記された信号に対応しており、それぞれデータ入力、スキャンデータ入力、通常クロック入力、テストクロック入力、スキャンシフトクロック入力、データ出力、スキャンデータ出力を表している。ここでは、データ出力とスキャンデータ出力を分けているが、共用しても問題はない。また、図9において、スキャンバスフリップフロップ307のスキャンデータ出力とスキャンバスフリップフロップ308のスキャンデータ入力が接続されているが、スキャンバスのシフトモード時の接続順はどのようになっていも問題はない。

【0035】スキャンバスフリップフロップ307, 308はマスタラッチ311とスレーブラッチ312とインバータ331, 332で構成されている。マスタラッチ311はトランジスタペア313, 315, 317, 319とインバータ314, 316, 318, 320, 322とNORゲート321で構成されている。スレーブラッチ312はトランジスタペア323, 324, 326, 327と、インバータ325, 328, 329, 330で構成されている。トランジスタペア313, 315, 317, 319, 323, 324, 326, 327の表記法は、図2と同じである。

【0036】本実施形態では、入力SCを論理値0に固定して、入力Cと入力C2を使用した場合に、通常データ入力である入力Dの値を入力し、図2と同じ動作をし、入力Cと入力C2ともに論理値0に設定し、入力SCを動作させた場合に、スキャンデータ入力SINの値を入力し、スキャンデータ出力SOTに出力する。この例でも、スキャンバス構成とすることにより、テストす

べき経路に値を設定し、テスト結果を観測することが容易となるが、遅延テストの方法としては同様であり、端子301が論理値0から1に変化するタイミングと端子302が論理値0から1に変化するタイミングの差を利用してテストを行う。

【0037】図11は本発明の第4の実施形態の構成図である。この例では、外部クロック端子を1本としており、テスト用のクロックはクロック生成器403によって生成されている。401は外部クロック端子であり、通常動作時にもテスト時にも使用する。404と405は遅延テストを行うフリップフロップのペアであり、406は内部回路であり、遅延テストの対象となる部分を含んでいる。402は通常回路406の入力端子群であり、407は通常回路406の出力端子群である。フリップフロップ404と405には、例えば図2の構成のものが使用される。403はクロック生成器であり、図中の表記で入力SELに通常モードを示す値が入る場合はクロック生成器403の出力C2が0となり、出力Cに直接入力CLKの値が出力され、入力SELにテストモードを示す値が入る場合は、出力Cと出力C2にそれぞれ別タイミングのクロックが出力される構成となっている。

【0038】図12は図11中のクロック生成器403の構成例を示す図である。図12において、左端と右端に表記された信号名であるCLK、SEL、C、C2は図11中のクロック生成器403の信号名と対応し、それぞれクロック入力、セレクト入力、通常クロック出力、テストクロック出力である。クロック生成器403はインバータ408とセレクタ409で構成されている。セレクタ409は、Sと表記された入力が論理値0のとき0と表記された入力を選択し、入力Sが論理値1のとき1と表記された入力を選択する。

【0039】図13(1)は図12のクロック生成器403を使用した場合の通常動作時の制御波形図であり、図13(2)は図12のクロック生成器403を使用した場合のテスト時の制御波形図である。

【0040】この例では、図13(1)に示すように、入力SELが論理値0の場合、出力C2は常に論理値0となる。また図13(2)に示すように、入力SELが論理値1の場合、出力C2から入力CLKの反転の値が出力される。 $t_{51}, t_{53}, t_{61}, t_{65}$ は入力CLKが論理値0から1に変化するタイミングを示し、 $t_{52}, t_{54}, t_{63}, t_{67}$ は入力CLKが論理値1から0に変化するタイミングを示している。出力C2の変化タイミングは入力CLKから遅れているが、これはインバータ408とセレクタ409の遅延により遅らせているものとする。

【0041】図11の出力Cと出力C2がその駆動先のフリップフロップ404、405に到達するタイミングの関係、つまり各フリップフロップ404、405のク

ロック入力の変化のタイミングの関係は、例えば、図11であれば、フリップフロップ404と405において、入力C2が論理値1から0に変化するタイミングは、入力Cが論理値0から1に変化するタイミングよりも遅らせるべきである。これは、スレーブ側ラッチから値が出力される前に、マスター側のラッチがホールド状態からスルー状態に変化すると、マスター側ラッチにホールドされていた値でなく、新たにマスター側ラッチに入ってくる値がスレーブ側ラッチを通して出力されるため、遅延テストが困難となるためである。ここでは、フリップフロップ404、405の入力C2が論理値1から0に変化するタイミングを、入力Cが論理値0から1に変化するタイミングよりも遅らせるために、インバータ408あるいはセレクタ409の遅延を使用して調整をはかる。回路構成上必ず、入力C2が論理値1から0に変化するタイミングが、入力Cが論理値0から1に変化するタイミングよりも後になる場合はこの遅延調整は不要である。この例では t_{61} と t_{64} のタイミングの差で遅延テストを行うことが可能である。この時間は、挿入すべきインバータ408やセレクタ409の遅延を考慮する必要があるが、基本的には、クロック周波数でなく、1つの外部クロックのパルスの幅をもとに遅延テストが可能である。

【0042】

【発明の効果】以上説明したように本発明は、通常動作時が入力と出力のタイミングを同一のクロックエッジに同期させる1相動作で、テスト時が入力と出力のタイミングを別々のクロックエッジに同期させる2相動作となるフリップフロップを使用して、フリップフロップ間の遅延のテストを行う方式とし、通常回路の設計方式を従来通りとし、かつフリップフロップの構成の変更のみであるため他にオーバーヘッドを伴わず、出力の同期に使用するクロックのエッジのタイミングと入力の同期に使用するエッジのタイミングの差を使用して、遅延テストの結果を判定するため、クロックの出力と入力のエッジのタイミングの差を小さくすることにより、テスターのクロック周波数を上げることなく、高速の遅延テストが可能になる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路構成図である。

【図2】図1中のフリップフロップ105、106の第1の構成例を示す回路図である。

【図3】第1の実施形態の通常動作時(図3(1))、遅延テスト時(図3(2))の制御波形図である。

【図4】図1中のフリップフロップ105、106の第2の構成例を示す回路図である。

【図5】図4のフリップフロップを使用したときの第1の実施形態の通常動作時(図5(1))、遅延テスト時(図5(2))の制御波形図である。

11

【図6】フリップフロップの第3の構成例を示す回路図である。

【図7】本発明の第2の実施形態を示す回路構成図である。

【図8】図7中のフリップフロップ207, 208の構成例を示す回路図である。

【図9】本発明の第3の実施形態を示す回路構成図である。

【図10】図9中のフリップフロップ307, 308の構成例を示す回路図である。

【図11】本発明の第4の実施形態を示す回路構成図である。

【図12】図11中のクロック生成器403の構成図である。

【図13】第4の実施形態の通常動作時(図13(1))、遅延テスト時(図13(2))の波形図である。

【図14】第1の従来例の回路構成図である。

【図15】図14の回路に使用される遅延制御回路の回路図である。

【図16】図14の制御波形図である。

【図17】第2の従来例の回路構成図である。

【図18】図17の制御波形図である。

【図19】第3の従来の回路構成図である。

【図20】第4の従来の回路構成図である。

【図21】第5の従来の回路構成図である。

【符号の説明】

101	通常クロック入力端子	
102	テストクロック入力端子	
103	通常入力端子群	
104	通常回路	
105, 106	遅延テスト用フリップフロップ	
107	通常出力端子群	
108	マスター・ラッチ	
109	スレーブ・マッチ	
110, 112, 116, 118	トランジスタペア	
111, 113, 115, 117, 119, 120, 1		
21	インバータ	
114	NORゲート	
122	NANDゲート	
123, 124, 125, 126	NORゲート	
201	通常クロック入力端子	

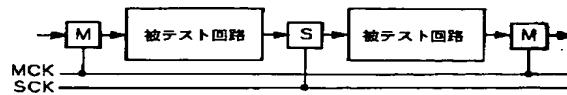
【図19】



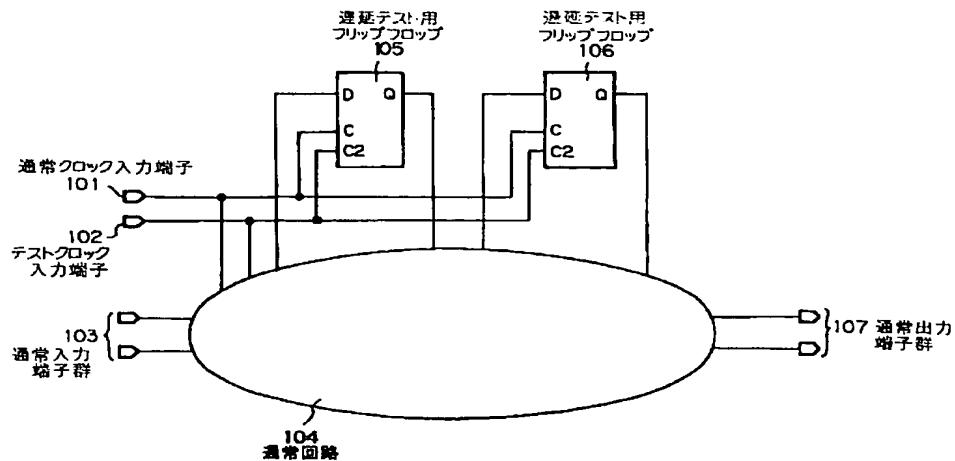
12

* 202	テストクロック入力端子
203	シフトモードと通常モードの切り替え制御信号入力端子
204	スキャン入力端子
205	通常入力端子
206	通常回路
207, 208	遅延テスト用スキャンフリップフロップ
209	スキャン出力端子
210	通常出力端子群
211	セレクタ
212	マスター・ラッチ
213	スレーブ・ラッチ
214, 216, 220, 222	トランジスタペア
215, 217, 219, 221, 223, 224, 2	
25	インバータ
218	NORゲート
301	通常クロック入力端子
302	テストクロック入力端子
303	スキャンクロック入力端子
304	スキャン入力端子
305	通常入力端子群
306	通常回路
307, 308	遅延テスト用スキャンフリップフロップ
309	スキャン出力端子
310	通常出力端子
311	マスター・ラッチ
312	スレーブ・ラッチ
313, 315, 317, 319, 323, 324, 3	
26, 327	トランジスタペア
314, 316, 318, 320, 322, 325, 3	
28, 329, 330, 331, 332	インバータ
321	NORゲート
401	通常クロック入力端子
402	通常入力端子群
403	クロック生成器
404, 405	遅延テスト用フリップフロップ
406	通常回路
407	通常出力端子群
408	インバータ
*	
409	セレクタ

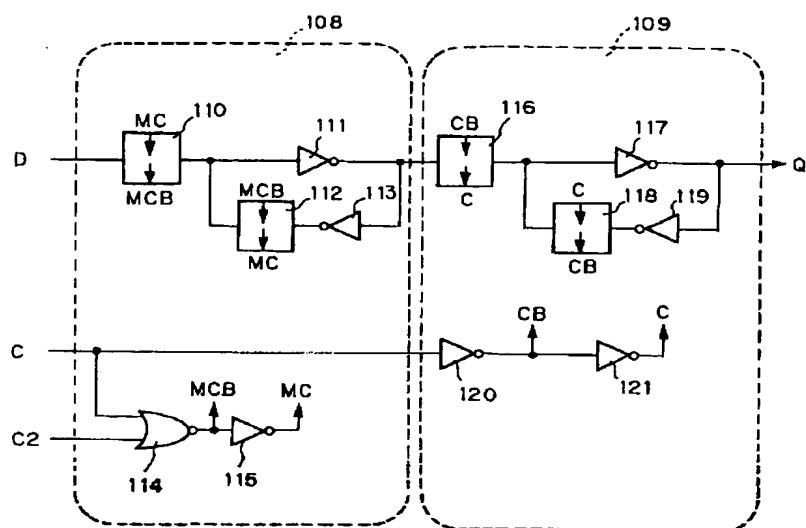
【図20】



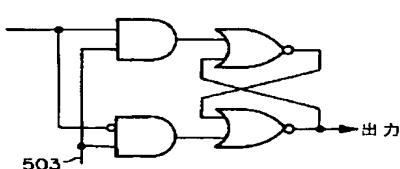
【図1】



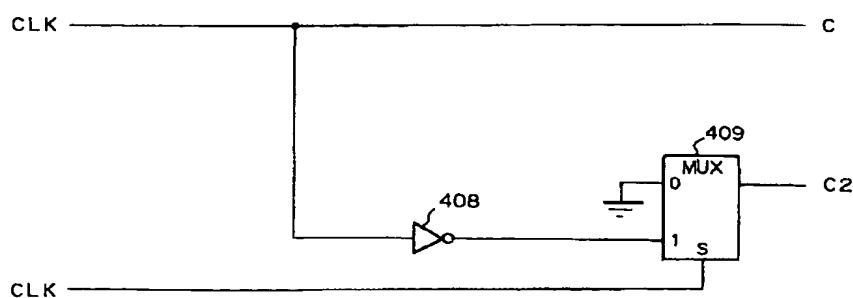
【図2】



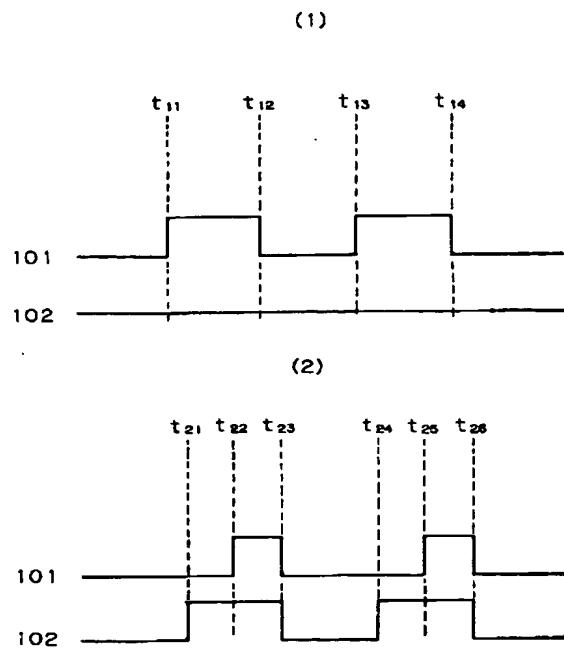
【図1.5】



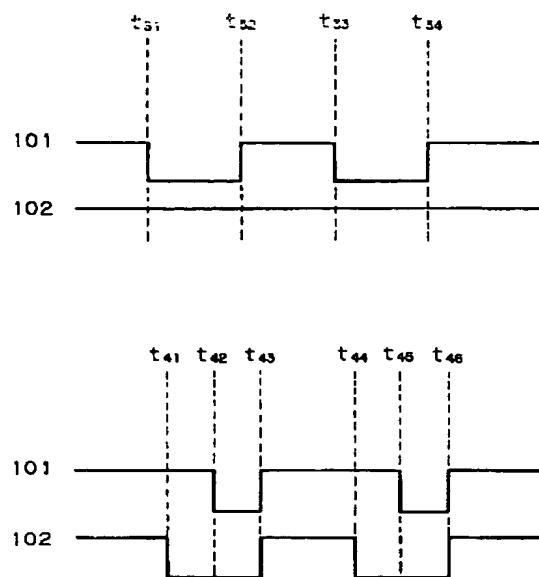
【図1.2】



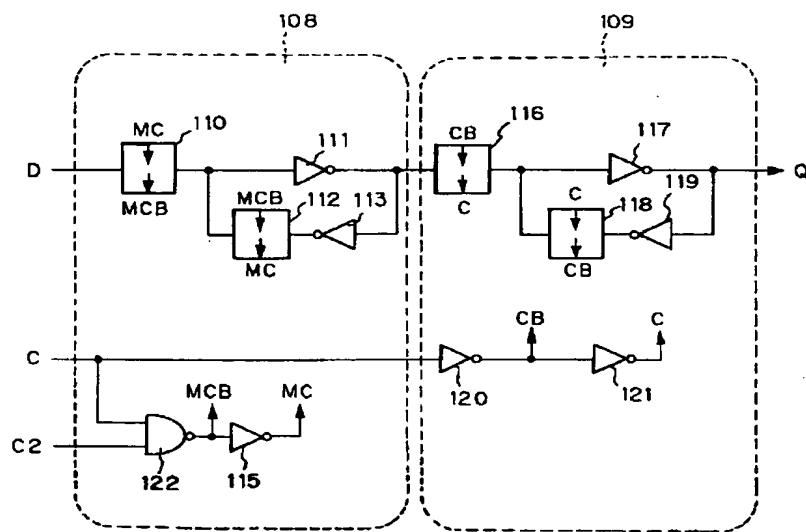
【図3】



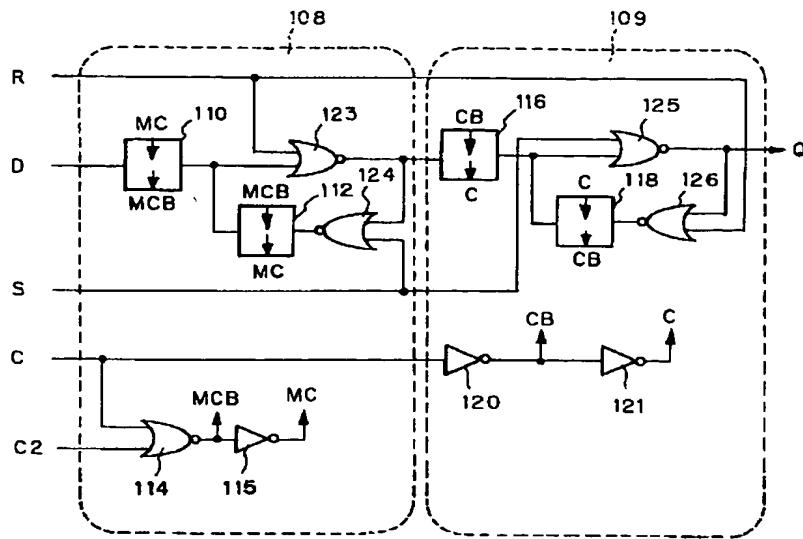
【図5】



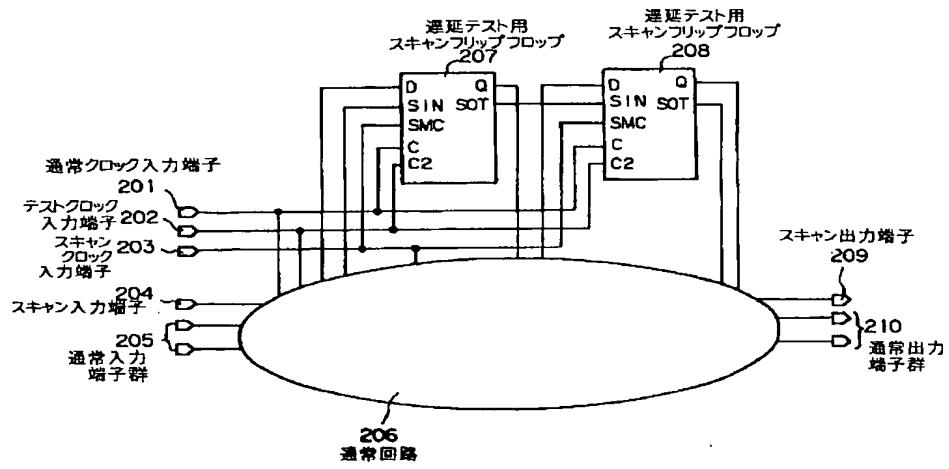
【図4】



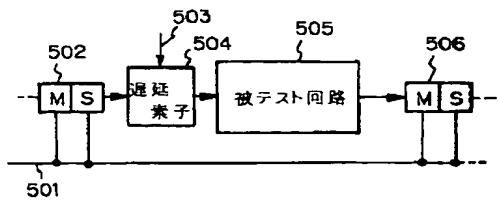
【図6】



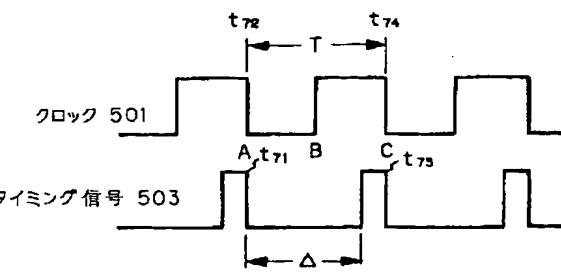
【図7】



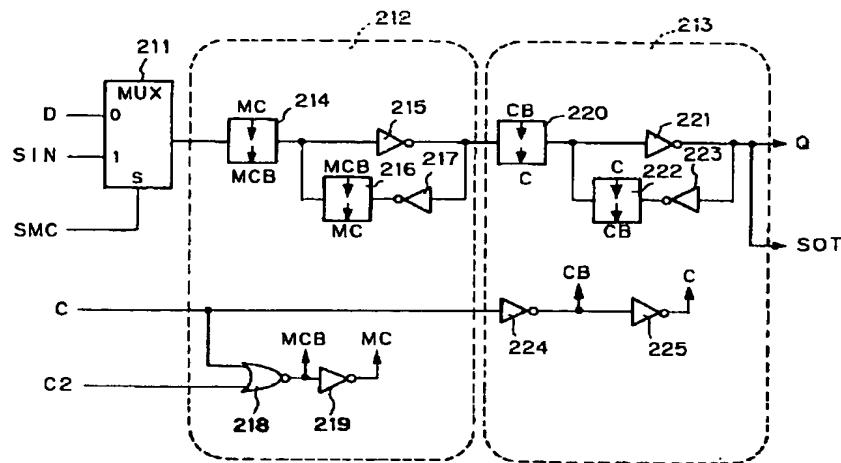
【図14】



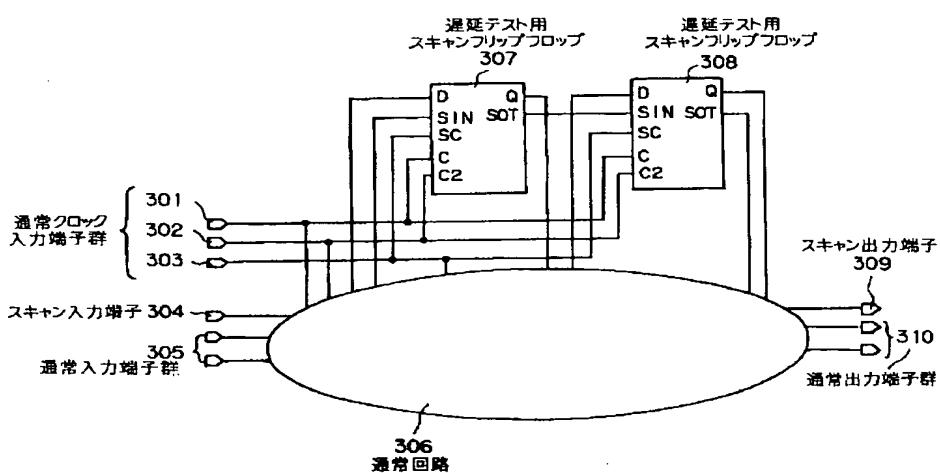
【図16】



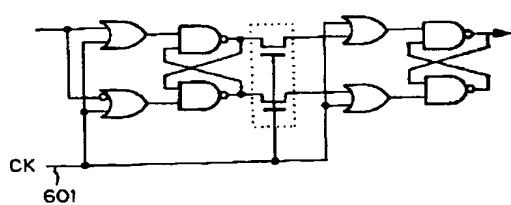
【図8】



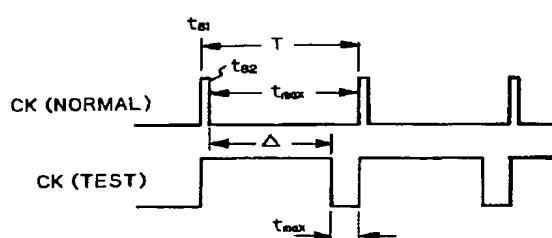
【図9】



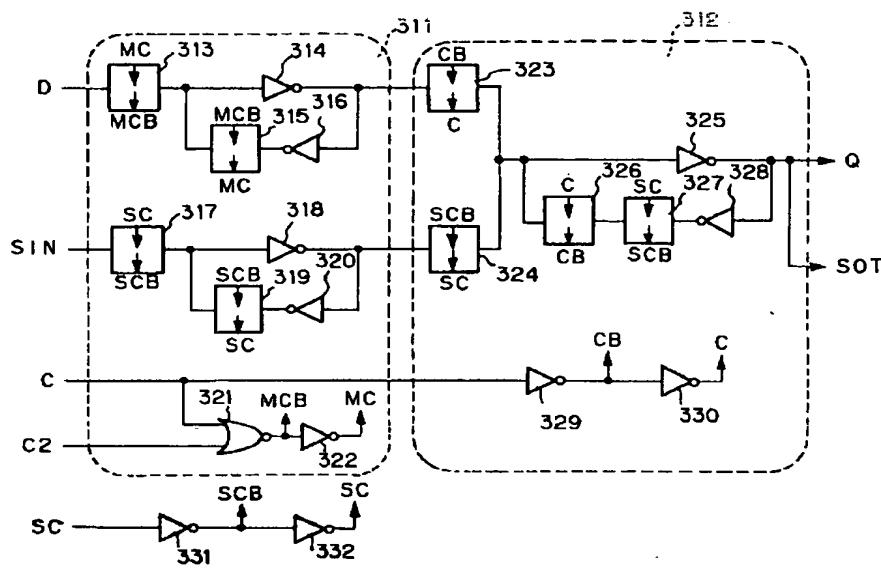
【図17】



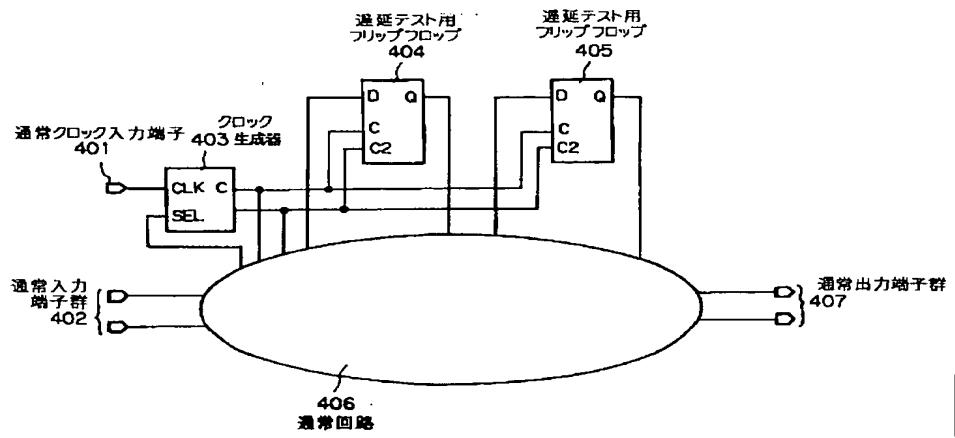
【図18】



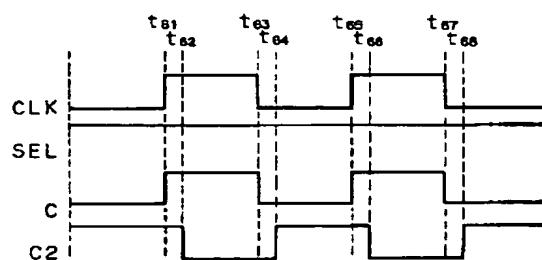
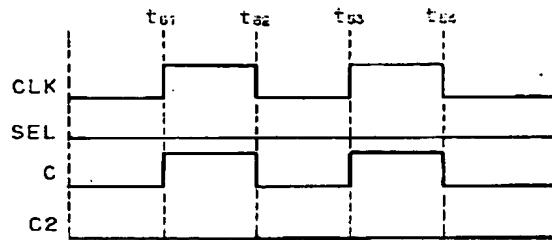
【図10】



【図11】



【図 1 3】



【図 2 1】

